

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02142184 A**(43) Date of publication of application: **31.05.90**

(51) Int. Cl.

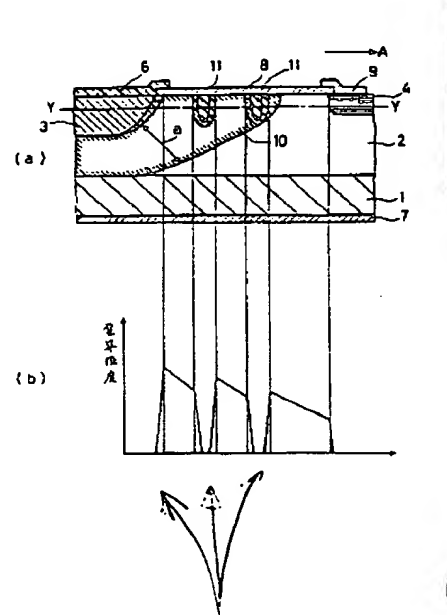
H01L 29/06**H01L 29/91**(21) Application number: **63295241**(22) Date of filing: **22.11.88**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **HIKICHI TOSHIKI
TAKADA IKUNORI**(54) **SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To obtain a semiconductor device characterized by a stable reverse-voltage blocking characteristic and a small chip size by providing a second conductivity type second impurity region whose impurity concentration is lower than that of a first impurity region.

CONSTITUTION: The P-type impurity concentration of a depression ring 11 is made low, and the P-type impurity concentration in the outer direction A in an anode region is made low. A depletion layer 10 largely extends into the depression ring 11 and into the anode region 3. Therefore, the maximum electric field strength becomes small, and the design size of the depression ring 11 can be made small. As a result, the size of a chip becomes small, and the cost of the product can be reduced. In the anode region 3, the diffusion depth of the P-type impurity is gradually made shallower toward the outer direction A, and the radius of curvature is made large accordingly. Therefore, the width of the depletion layer 10 does not become remarkably small and becomes close to a planar junction. Thus, the concentration of an electric field at a part (a) is prevented, and the more stable reverse voltage blocking characteristic can be obtained.

COPYRIGHT: (C)1990,JPO&Japio



Teil geht immer auf
"0" => kein vollständiges
Ausräumen

THIS PAGE BLANK (USPTO)

jp02142184a

Ihre Frage

JP000000000A20002142184

Familienmitglieder

CC	PUBDAT	KD	DOC.NO.	CC	PR.DAT	AKP	YY	PR.	NO.
JP	19900531	A2	2142184	JP	19881122	PA	1988		295241
JP	19951113	B4	7105485						
	2	MITGL.		1	LAENDER				
	0	PRS-INFO							

Bitte Eingabe

jp21042184a

Ihre Frage

JP	A	21042184
	0	MITGL.
	0	PRS-INFO

Bitte Eingabe

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-142184

⑤ Int. Cl.⁵

H 01 L 29/06
29/91

識別記号

庁内整理番号

8526-5F

④ 公開 平成2年(1990)5月31日

7638-5F H 01 L 29/91

D

審査請求 未請求 請求項の数 2 (全6頁)

⑬ 発明の名称 半導体装置及びその製造方法

⑭ 特 願 昭63-295241

⑮ 出 願 昭63(1988)11月22日

⑯ 発 明 者 引 地 敏 彰 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 高 田 育 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 第1導電型の基板と、

前記基板の一主面上に形成された第2導電型の第1の不純物領域と、

前記第1の不純物領域を取り囲むように前記基板の一主面上に形成され、不純物濃度が前記第1の不純物領域より低い第2導電型の第2の不純物領域とを備えた半導体装置。

(2) 第1導電型の基板を準備する工程と、

不純物を導入すべき領域に開口部に加えて非開口部を設けることにより不純物導入量を調節することができるマスクを用い、前記基板の第1及び第2の領域に前記第1の領域よりも前記第2の領域の方が不純物導入量が少なくなるように、前記基板に第2導電型の不純物を導入する工程と、

不純物が導入された前記基板を熱処理することにより、前記第1の領域において第2導電型の第

1の不純物領域を形成するとともに、これと同時に前記第2の領域において不純物濃度が前記第1の不純物領域の濃度より低く、前記第1の不純物領域を取り囲む第2導電型の第2の不純物領域を形成する工程とを含む半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、チップサイズが小さく、安定した逆電圧阻止特性を有する半導体装置及びその製造方法に関する。

(従来の技術)

第2図はプレーナ型半導体装置の一種である従来のダイオードを示す断面図である。N⁺基板1上にはN⁻エピタキシャル層2が形成されている。N⁻エピタキシャル層2上にはP型不純物領域たるアノード領域3及びN型不純物領域たる環状のフィールドリミットリング4が形成されている。フィールドリミットリング4は、空乏層が伸び過ぎてN⁻エピタキシャル層2の側面(通常の場合ダイシング面)に達するのを防止

特開平2-142184(2)

する。アノード領域3上にはアノード電極6が形成され、N⁺基板1の下面にはカソード電極7が形成されている。アノード領域3とフィールドリミットングリング4との間のN⁻エピタキシャル層2上には二酸化シリコンより成る接合保護膜8が形成されている。フィールドリミットングリング4上には電極9が形成されている。

上記のような構成を有するダイオードのアノード電極6とカソード電極7との間に逆電圧を印加すると、アノード領域3とN⁻エピタキシャル層2により規定されるPN接合部より空乏層10が広がる。そして、アノード電極6とカソード電極7との間に与えられる電圧の差が所定値以上になると降伏が生じる。上記動作において、良好な逆電圧阻止特性を有するに際する問題がある。それは、空乏層10の断面形状の曲率半径の問題である。すなわち、第2図に示すa部での空乏層10の曲率半径は空乏層10の他の部分での曲率半径より小さくなる。その結果、a部付近の電位傾斜が大きくなり電界集中が生じ良好な逆電圧阻止

特性が得られない。a部での曲率半径を大きくするための構造としては特開昭61-84830号公報に示された構造がある。第3図は上記公報に示された構造を有するダイオードの断面図である。このダイオードの構造では、アノード領域3において外周方向Aに近づくほどP型不純物濃度を低くし、かつP型不純物の拡散の深さを浅くしている。その他の構成は、第2図に示したダイオードと同様である。このように構成することによりa部での空乏層10の曲率半径は空乏層10の他の部分のそれと比し小さくなることはない。そのため、a部に電界集中は起きず良好な逆電圧阻止特性が得られる。さらに、アノード領域3のP型不純物濃度が低い領域には空乏層10が伸びるので、このことから空乏層10の曲率半径が大きくなり、良好な逆電圧阻止特性が得られる。

第4図は第3図に示したダイオードの製造工程を説明するための図であり、このうち第4図(a)はアノード領域3形成時に用いるシリコン酸化膜より成るガラスマスク12の一部平面図、第4図

(b)はガラスマスク12を用いてアノード領域3を形成しているときのX-X'線での断面図である。

ガラスマスク12を用いたダイオードの製造工程の概略を説明する。N⁺基板1上にN⁻エピタキシャル層2を成長させる。次に、第4図(a)に示したガラスマスク12を用い、その開口部13を介しN⁻エピタキシャル層2上にP型不純物を導入し、その後熱処理することによりアノード領域3を形成する。このとき、外周方向Aに近づくほど開口部13の開口面積が小さくなり、あるいは外周方向Aに近づくにつれ開口部13の周囲が徐々に広がるガラスマスク12を用いることによって、外周方向Aに近づくほどP型不純物濃度を低くし、かつP型不純物の拡散の深さを浅く形成するようにする。このようなアノード領域3の形成状態を第4図(b)に示す。次に、保護接合膜8を形成し、その後アノード電極6、カソード電極7、電極9を形成する。このようにして、外周方向Aに近づくほどP型不純物濃度が低く、かつP型不純物の拡散の深さを浅くし、曲率半径の大

さいアノード領域3を形成する。

また、a部での曲率半径を大きくし、電界集中を防止する他の方法としては、ディプレッションリングを設けることが従来より知られている。すなわち、第5図に示すように、アノード領域3とフィールドリミットングリング4との間にP型不純物領域である環状のディプレッションリング11を設けるものである。ディプレッションリング11を設けることにより空乏層10が第5図に示すように広がり、a部での曲率半径を大きくするものである。

ところで、N⁻エピタキシャル層2とアノード領域3により規定されるPN接合は接合保護膜8により外部からの直接の汚染から守られているが、空乏層10の形状は、接合保護膜8上の電荷、接合保護膜8中の電荷より影響を受け、表面近く空乏層10の幅が内部での空乏層10の幅より狭くなる。そのため、降伏電圧は表面の空乏層10の幅により決定されてしまい、所望の逆電圧阻止特性が得られない。この問題を解決するにも上述

したディプレッションリング11が用いられる。ディプレッションリング11を用いた構成は、前述した第5図のとおりである。ディプレッションリング11を新たに設けることにより、表面付近での空乏層10の幅を十分に確保することができ、降伏電圧は従来のように表面付近の空乏層10の幅により決定されることがなく、所望の逆電圧閉止特性が得られる。また、表面付近の空乏層10の幅が内部の幅より狭くならないので、最大電界強度はディプレッションリング11を設けない場合に比し小さくなる。そのため、空乏層10が接合保護膜8上あるいは接合保護膜8中の電荷から受ける影響が小さくなり、安定した降伏電圧が得られる。第5図において、(b)は(a)のY-Yに沿った電界強度の度合を示す。

(発明が解決しようとする課題)

従来、空乏層の曲率半径を大きくしたり、接合保護膜8上の電荷及び接合保護膜8中の電荷から空乏層10が影響を受けないようにするために、上記のような方法が取られていた。

不純物領域は同時に形成される。そのため、上記のような構成にするためには、P型不純物を複数回に分けて行い、別々にアノード領域3とディプレッションリング11を形成する必要がある。この場合、工程数が増加し、製造コストが上昇するという問題点があった。

また、ディプレッションリング11を設ける領域は、ダイオード本来の機能を発現するのに必要な領域(以下能動領域という)に十分な面積を確保するために、できるだけ小さいほうが望ましい。能動領域の面積はダイオードの取扱う電圧・電流でほぼ決定されてしまい、能動領域の面積を小さくするのは困難である。そのため、チップリイズの縮小、ひいては製品コストの軽減を期するのに越え簡単な方法がディプレッションリング11の領域を小さくすることになる。しかし、上記の要望は、逆電圧閉止特性の安定化という面から見ると相反する要望であり、上記要望を取り入れると逆電圧閉止特性が不安定になるという問題点があった。

しかし、アノード領域3のa部の曲率半径を大きくする場合、1ヶ所でもP型不純物の拡散の深さが浅くなりすぎたり、深くなりすぎたりすると、その部分での空乏層10の曲率半径が小さくなる。その結果、アノード電極6とカソード電極7の間に逆電圧を印加すると前記曲率半径が小さくなった部分で電界集中が生じ、所望の逆電圧閉止特性が得られないという問題点が生じ、これを防止するために精緻な写真製版技術が必要であるという問題点があった。

また、上記のようにディプレッションリング11を設け、空乏層10の幅を適正に保つようにしているわけであるが、より安定した逆電圧閉止特性を得るため以下のような構造にすることが提案されている。すなわち、ディプレッションリング11を浅く形成することである。こうすることにより、さらに空乏層10の曲率半径を大きくし、より安定した逆電圧閉止特性が得られる。しかし、一般にアノード領域3を構成するP型不純物領域と、ディプレッションリング11を構成するP型

この発明は上記のような問題点を解決するためになされたもので、より安定した逆電圧閉止特性を有し、かつチップリイズの小さい半導体装置を得ること、及び、より簡単な方法で前記半導体装置を製造することができる製造方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置は、第1導電型の基板と、基板の一主面上に形成された第2導電型の第1の不純物領域と、第1の不純物領域を取り囲むように前記基板の一主面上に形成され、不純物濃度が第1の不純物領域より低い第2導電型の第2の不純物領域とを備えている。

この発明に係る半導体装置の製造方法は、不純物を導入すべき領域に開口部に加えて非開口部を設けることにより不純物導入量を制御することができるマスクを用い、前記基板の第1及び第2の領域に前記第1の領域よりも前記第2の領域の方が不純物導入量が少なくなるように、前記基板に第2導電型の不純物を導入する工程と、不純物が

特開平2-142184(4)

導入された基板を熱処理することにより、第1の領域において第2導電型の第1の不純物領域を形成するとともに、これと同時に第2の領域において不純物濃度が第1の不純物領域の濃度より低く、第1の不純物領域を取り囲む第2導電型の第2の不純物領域とを形成する工程とを備えている。

(作用)

この発明に係る半導体装置では、基板と第1の領域間に逆電圧をかけることにより生じる空乏層は、不純物濃度の低い領域、つまり第2の不純物領域内まで伸び、最大電界強度は小さくなる。そのため、従来と同一の最大電界強度を得たい場合、第2の不純物領域のサイズを小さくできる。

不純物を導入すべき領域に開口部に加えて非開口部を設けることにより不純物導入量を調整することができるマスクを用い、基板の第1及び第2の領域に第1の領域よりも第2の領域の方が不純物導入量が少なくなるように、基板に第2導電型の不純物を導入する。その後、上記のようにして不純物が導入された基板に熱処理を施し、第1の

領域において第2導電型の第1の不純物領域を形成するとともに、これと同時に第2の領域において不純物濃度が第1の不純物領域の濃度より低く、第1の不純物領域を取り囲む第2導電型の第2の不純物領域を形成する。

(実施例)

第1図はこの発明の一実施例を示す図であり、このうち(a)は半導体装置の断面を示し、(b)は(a)のY-Yでの電界強度の度合を示す。第1図(a)において、第5図に示した従来のダイオードとの相違点は、アノード領域3を外周方向Aに近づくほどP型不純物の濃度を低くし、かつP型不純物の拡散の深さを徐々に浅くしたこと及びディプレッションリング11のP型不純物の濃度を低くしたことである。その他の構成は従来のダイオードと同様である。

このようなダイオードのカソード電極6とアノード電極7に逆電圧を印加したとする。ディプレッションリング11のP型不純物濃度を低くし、かつ、アノード領域3の外周方向AのP型不純物

濃度を低くしているため、空乏層10は第1図に示すようにディプレッションリング11内及びアノード領域3内にまで大きく伸びる。そのため、従来と同じ設計サイズのディプレッションリング11を持っていても最大電界強度は従来に比し小さくなり、従来と同程度の最大電界強度を得ようとする場合は、従来に比しディプレッションリング11の設計寸法を小さくすることができる。その結果、チップサイズは小さくなり、製品コストの低減が図れる。

また、アノード領域3において、外周方向Aに近づくにつれて徐々にP型不純物の拡散の深さを浅くし、曲率半径を大きくするようにしている。従って、従来のように(第2図参照)B部分において、空乏層10の幅が著しく狭くなることがなく、より平面接合に近くなる。そのため、B部分での電界集中を防止でき、より安定な逆電圧阻止特性を得ることができる。

次に、上記のようなダイオードの製造方法について説明する。N⁺基板1上にN⁻エピタキシャル

層2を形成する。次に、ガラスマスクパターンを用いP型不純物をN⁻エピタキシャル層2上に付着させる。このとき、P型の不純物濃度を薄くしたい領域(アノード領域3の外周方向Aの領域、ディプレッションリング11となる領域)が細やかなパターン(ストライプ状、矩形状、メッシュ状等)に分割されたガラスマスクパターンを用いる(第4図(a)参照)。このようなガラスマスクパターンを用い一度に、P型不純物をN⁻エピタキシャル層2上に付着させる。すると、単位面積あたりのP型不純物の付着量に差が生じる。その後、長時間のドライブ拡散により、上記パターンに従って分割して付着されたP型不純物を一体化することにより、アノード領域3及びディプレッションリング11を形成する。このようにして形成されたアノード領域3は、外周方向Aに近づくほどP型の不純物の濃度が低く、かつ、その拡散の深さが浅くなる。また、ディプレッションリング11のP型不純物の濃度は、従来より低くなる。その後、従来と同様、アノード電極6、カソード電極

7. 接合保護膜8、電極9を形成する。上記のような方法によると、一回の拡散工程により異なる濃度と異なる拡散深さを有するアノード領域3とディプレッションリング11が形成でき、作業工程増加によるコスト上昇はない。また、従来のように1カ所でもP型不純物の拡散の深さが浅くなったり深くなったりすることによりアノード領域3の曲率半径が小さくなっても、ディプレッションリング11があるので、従来の電界集中は生じず、逆電圧防止特性が従来の悪化しない。また、ディプレッションリング11の部分において、上記のような現象が生じ、ディプレッションリング11の曲率半径が小さくなっても、ディプレッションリング11はフローティング状態にあるので、逆電圧防止特性には影響しない。従って、従来の精緻な写真製版技術は必要ない。

なお、上記実施例ではダイオードについて説明したが、トランジスタ、ゲートターンオフサイリスタ等のプレーナ型の電力用半導体素子にもこの発明は適用でき、上記実施例と同様の効果が得ら

れる。また、上記実施例において、P型とN型を逆にしてもよい。

(発明の効果)

以上のように、請求項1記載の半導体装置によれば、第1の不純物領域を取り囲むように基板の一面上に形成され、不純物濃度が第1の不純物領域より低い第2導電型の第2の不純物領域を備えているので、基板と第1の不純物領域に逆電圧を印加すると、基板と第1の不純物領域とにより規定されるPN接合部より生じる空乏層は、第2の不純物領域内まで伸び、最大電界強度が小さくなる。そのため、最大電界強度を従来の同じに保ちながら、第2の不純物領域のサイズを従来より小さくできる。その結果、チップサイズが小さくなり、製品コストを軽減することができるといふ効果がある。また、第1の不純物領域を取り囲むように第2の不純物領域を設けているので、空乏層の曲率半径が著しく小さくなることはないとともに、表面からの影響により空乏層の端がせまくなることを防止することができ、安定した逆電圧

防止特性が得られる。

請求項2記載の半導体装置の製造方法によれば、第1導電型の基板を準備する工程と、不純物を導入すべき領域に開口部に加えて非開口部を設けることにより不純物導入量が調整されるマスクを用い、前記基板の第1及び第2の領域に前記第1の領域よりも前記第2の領域の方が不純物導入量が少なくなるように、前記基板に第2導電型の不純物を導入する工程と、不純物が導入された前記基板を熱処理することにより、前記第1の領域において第2導電型の第1の不純物領域を形成するとともに、これと同時に前記第2の領域において不純物濃度が前記第1の不純物領域の濃度より低く、前記第1の不純物領域を取り囲む第2導電型の第2の不純物領域を形成する工程とを備えているので、第1の不純物領域及び第2の不純物領域を同一工程により同時に形成でき、製造コストが上昇しないという効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示す図、第2図

は従来のダイオードを示す断面図、第3図ないし第5図は第2図に示したダイオードの改良ダイオードの問題点を説明するための図である。

図において、2はN⁻1.ピタナシャル層、3はアノード領域、11はディプレッションリングである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

